

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: June 16, 2003

Application Number: No. 2003-170475
[ST.10/C]: [JP 2003-170475]

Applicant(s): FUJITSU LIMITED
NATIONAL INSTITUTE OF ADVANCED
INDUSTRIAL SCIENCE AND TECHNOLOGY

December 18, 2003

Commissioner,
Patent Office Yasuo Imai (Seal)

Certificate No. 2003-3105085

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

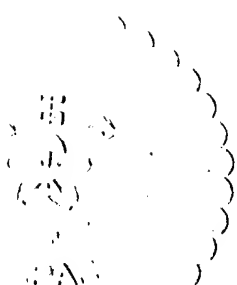
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 6月16日
Date of Application:

出願番号 特願2003-170475
Application Number:

[ST. 10/C]: [JP 2003-170475]

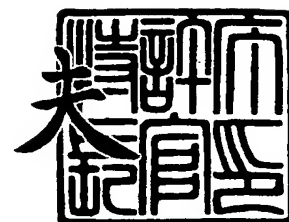
出願人 富士通株式会社
Applicant(s): 独立行政法人産業技術総合研究所



2003年12月18日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3105085

【書類名】 特許願

【整理番号】 0340383

【提出日】 平成15年 6月16日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H05K 3/46

【発明の名称】 回路基板、受動部品、電子装置、及び回路基板の製造方法

【請求項の数】 8

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 今中 佳彦

【発明者】

 【住所又は居所】 茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

 【氏名】 明渡 純

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【特許出願人】

 【識別番号】 301021533

 【氏名又は名称】 独立行政法人産業技術総合研究所

【代理人】

 【識別番号】 100070150

 【住所又は居所】 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階

 【弁理士】

 【氏名又は名称】 伊東 忠彦

 【電話番号】 03-5424-2511

【手数料の表示】**【予納台帳番号】** 002989**【納付金額】** 16,800円**【その他】** 国等以外の全ての者の持分の割合 8 0 / 1 0 0

国等の委託研究の成果に係る特許出願（平成 1 5 年度新エネルギー・産業技術総合開発機構「ナノレベル電子セラミックス材料低温成形・集積化技術」委託研究、産業活力再生特別措置法第 3 0 条の適用を受けるもの）

【提出物件の目録】**【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0114942**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 回路基板、受動部品、電子装置、及び回路基板の製造方法

【特許請求の範囲】

【請求項 1】 層間絶縁層と導電体層とが積層されてなる回路基板であって

、
前記層間絶縁層はエアロゾル化した微粒子材料を吹き付けて堆積されてなり、
前記導電体層が金属あるいは合金材料よりなる連続膜であることを特徴とする回路基板。

【請求項 2】 前記微粒子材料がセラミックスよりなり、

Al_2O_3 、 MgO 、 SiO_2 、 CaO 、 TiO_2 、 $3\text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$ 、 $\text{MgO} \cdot \text{Al}_2\text{O}_3$ 、 $2\text{MgO} \cdot \text{SiO}_2$ 、 $2\text{Al}_2\text{O}_3 \cdot 2\text{MgO} \cdot 5\text{SiO}_2$ 、 $\text{CaO} \cdot \text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$ 、 BaTiO_3 、 BaSrTiO_3 、 BaTiZrO_3 、 BaTi_4O_9 、 $\text{Ba}_2\text{Ti}_9\text{O}_{20}$ 、 $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Zn}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Zn}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 ZrSnTiO_4 、 PbZrTiO_3 、 $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 $\text{Pb}(\text{Ni}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、及び AlN の群のうち、少なくとも 1 種を含むことを特徴とする請求項 1 記載の回路基板。

【請求項 3】 前記層間絶縁膜と、該層間絶縁膜上にパターンニングされて形成された導電体層よりなるフィルタを更に有することを特徴とする請求項 1 または 2 記載の回路基板。

【請求項 4】 当該回路基板中または回路基板上に、複数の電極層と、該電極層との間に形成された誘電体層とよりなるキャパシタを更に有し、

前記誘電体層がエアロゾル化した他の微粒子材料を吹き付けて堆積されてなることを特徴とする請求項 1～3 のうち、いずれか一項記載の回路基板。

【請求項 5】 前記他の微粒子材料がセラミックスよりなり、

TiO_2 、 BaTiO_3 、 BaSrTiO_3 、 BaTiZrO_3 、 BaTi_4O_9 、 $\text{Ba}_2\text{Ti}_9\text{O}_{20}$ 、 $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Zn}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Zn}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 ZrSnTiO_4 、 PbZrTiO_3 、 $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、及び $\text{Pb}(\text{Ni}_{1/3}\text{Nb}_{2/3})\text{O}_3$ の群のうち、少なくとも 1 種を含むことを特徴とする請求項 4 記載の回路基板。

【請求項 6】 誘電体層と導電体層とが積層されてなる受動部品であって、前記誘電体層がエアロゾル化した微粒子材料を吹き付けてなり、前記導電体層が金属あるいは合金材料よりなる連続膜よりなり、

前記微粒子材料が Al_2O_3 、 MgO 、 SiO_2 、 CaO 、 TiO_2 、 $3\text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$ 、 $\text{MgO} \cdot \text{Al}_2\text{O}_3$ 、 $2\text{MgO} \cdot \text{SiO}_2$ 、 $2\text{Al}_2\text{O}_3 \cdot 2\text{MgO} \cdot 5\text{SiO}_2$ 、 $\text{CaO} \cdot \text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$ 、 BaTiO_3 、 BaSrTiO_3 、 BaTiZrO_3 、 BaTi_4O_9 、 $\text{Ba}_2\text{Ti}_9\text{O}_{20}$ 、 $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Zn}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Zn}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 ZrSnTiO_4 、 PbZrTiO_3 、 $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 $\text{Pb}(\text{Ni}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、及び AlN の群のうち、少なくとも 1 種を含むことを特徴とする受動部品。

【請求項 7】 請求項 1～5 のうちいずれか一項記載の回路基板又は／及び請求項 6 記載の受動部品と、電子部品とを備えた電子装置。

【請求項 8】 層間絶縁層と導電体層とが積層されてなる回路基板の製造方法であって、

エアロゾル化した微粒子材料をキャリアガスと共に所定の速度で噴射して層間絶縁層を形成する工程と、

金属あるいは合金材料を堆積あるいは成長させて前記導電体層を形成する工程とを備えることを特徴とする回路基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高周波回路に適した回路基板、受動部品、電子装置及び回路基板の製造方法に係り、特に高周波における低誘電損失の層間絶縁層と低抵抗の導電体層を共に有する回路基板に関する。

【0002】

携帯電話機、Bluetooth（登録商標）、その他モバイル機器等での無線情報通においては、音声、画像、データなど大容量の信号をより高速に伝送することが望まれ、モバイル機器等の小型化・多機能化と共に、モバイル機器等に用いられる電子部品の高周波対応が急速に進められている。この中で、小型化と

高周波対応を両立するために高周波回路を一体モジュール化した受動素子内蔵基板の実現が切望されている。

【 0 0 0 3 】

【従来の技術】

従来から現在まで開発されている受動素子内蔵基板は 3 つに大別することができる。(1) 薄膜プロセスにより受動素子を形成する場合、(2) 樹脂プリント板を用いる場合、(3) セラミック基板を用いる場合である。

【 0 0 0 4 】

(1) の薄膜プロセスにより受動素子を形成する場合は、シリコン基板や合金基板の平坦な基板上にスパッタ・メッキ法等により形成される配線層や、ポリイミド等の樹脂を塗布して形成される層間絶縁層を繰り返し積層することにより多層化するものである。

【 0 0 0 5 】

(2) の樹脂プリント板を用いる場合は、ベース基板として F R 4 (ガラスエポキシ材料)を用い、導電体層としてはめっき法を用いた C u 膜、層間絶縁層としては、エポキシ樹脂系シート材もしくはエポキシ系ワニス樹脂材 (耐熱温度: 2 5 0 ℃程度) などが用いられる。

【 0 0 0 6 】

(3) のセラミック基板を用いる場合は、絶縁膜、導電体膜、誘電体層、及び抵抗体膜の各ペーストを印刷、乾燥、焼成を繰り返し行って多層化するものである。焼成は 1 0 0 0 ℃以上の温度において行われるため、絶縁膜はセラミック材料の緻密な膜が得られる。

【 0 0 0 7 】

ところで、高周波回路での損失は導体損失と誘電損失 (誘電正接) との和で表され、周波数が高くなるにつれて誘電損失の影響が大きくなる。このために、誘電体材料には低い誘電損失が求められる。しかし、上記の (1) と (2) の層間絶縁層は、例えば 2 G H z において、ポリイミド樹脂 0 . 0 0 4、エポキシ樹脂 0 . 0 1 2 5 のように誘電損失が大きい樹脂材料から構成されているため、高周波において急速に損失が大となる。一方 (3) の層間絶縁層は、セラミック材料

によりなるため、低誘電損失のセラミック材料を用いることができるため、高周波用途として期待されている。

【0008】

現在、高周波向けセラミック系基板として適用されている手法は、LTCC法（低温焼成セラミックス法）を用いた手法である。LTCC法は、層間絶縁層としてガラスを焼結助剤とした低温焼成セラミックスと、導電体層として電気抵抗の低い金属粉末を含む導体ペーストを印刷し同時焼成したものである。導体ペーストの金属粉には、電気抵抗の低いAg、Cu、Au等が用いられている。

【0009】

【特許文献1】

特開2000-328223号公報

【特許文献2】

特開2001-156351号公報

【0010】

【発明が解決しようとする課題】

しかしながら、LTCC法において用いられる層間絶縁層は、上述した樹脂材料と比較して誘電損失は低いものの、2GHzにおいて0.002程度あり、高周波マイクロ波セラミックスの誘電損失より高く、低誘電損失化が困難であるという問題がある。

【0011】

また、LTCC法において用いられる導電体層は、上述した導体ペーストを焼成したものであるが、導体ペーストに含まれるバインダは焼成により分解・炭化等してしまい金属粉末が完全な連続体とならないため、金属粉末を構成する材料の低い比抵抗を実現できないという問題がある。さらに、焼成条件、金属粉末の粒径分布により回路基板ごと、あるいは回路基板内において比抵抗にバラツキが生じ、所望の特性が容易に得られないという問題がある。

【0012】

さらに、LTCC法において用いられるキャパシタの誘電体層は、誘電体層のセラミックスにガラス成分を大部分含むために、高温焼成のセラミックスに比べ

て誘電率が低く誘電率の向上に限度があると共に、低誘電損失の大容量のキャパシタを形成することが困難であるという問題がある。

【0013】

そこで、本発明は上記問題点に鑑みてなされたもので、本発明の目的は、高周波領域において低比抵抗及び低誘電体損失を共に有し、高周波回路に適した回路基板、受動部品、電子装置、及び回路基板の製造方法を提供することである。

【0014】

【課題を解決するための手段】

本発明の一観点によれば、層間絶縁層と導電体層とが積層されてなる回路基板であって、前記層間絶縁層はエアロゾル化した微粒子材料を吹き付けて堆積されてなり、前記導電体層が金属あるいは合金材料よりなる連続膜であることを特徴とする回路基板が提供される。

【0015】

本発明によれば、回路基板、例えば多層積層基板の層間絶縁層が微粒子材料を用いたエアロゾルデポジション法により常温において形成されることにより、微粒子材料が有する誘電特性などの特性が保持される。一方、エアロゾルデポジション法では、LTCC法のような高温での焼成を必要としないので、導電体層を無電解めっき法、電解めっき法、スパッタ法などの連続膜を形成することができる。したがって、導電体層の比抵抗を低減することができる。その結果回路基板の配線層等の損失を低減することができる。

【0016】

前記微粒子材料がセラミックスよりなり、 Al_2O_3 、 MgO 、 SiO_2 、 CaO 、 TiO_2 、 $3Al_2O_3 \cdot 2SiO_2$ （ムライト）、 $MgO \cdot Al_2O_3$ （スピネル）、 $2MgO \cdot SiO_2$ （フォルステライト）、 $2Al_2O_3 \cdot 2MgO \cdot 5SiO_2$ （コージェライト）、 $CaO \cdot Al_2O_3 \cdot 2SiO_2$ （アノーサイト）、及び AlN の群のうち、少なくとも1種を含んでもよい。これらの微粒子材料をエアロゾル化して吹き付けるとにより、微粒子材料の特性を損なわずに層間絶縁膜を形成することができるので、層間絶縁膜の高周波での誘電損失を低減することができる。したがって、高周波において一層の損失を低減することができ、高周波回路

に適した回路基板を実現することができる。

【0017】

本発明の他の観点によれば、誘電体層と導電体層とが積層されてなる受動部品であって、前記誘電体層がエアロゾル化した微粒子材料を吹き付けてなり、前記導電体層が金属あるいは合金材料よりなる連続膜よりなり、前記微粒子材料が Al_2O_3 、 MgO 、 SiO_2 、 CaO 、 TiO_2 、 $3\text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$ 、 $\text{MgO} \cdot \text{Al}_2\text{O}_3$ 、 $2\text{MgO} \cdot \text{SiO}_2$ 、 $2\text{Al}_2\text{O}_3 \cdot 2\text{MgO} \cdot 5\text{SiO}_2$ 、 $\text{CaO} \cdot \text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$ 、 BaTiO_3 、 BaSrTiO_3 、 BaTiZrO_3 、 BaTi_4O_9 、 $\text{Ba}_2\text{Ti}_9\text{O}_{20}$ 、 $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Zn}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Zn}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 ZrSnTiO_4 、 PbZrTiO_3 、 $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 $\text{Pb}(\text{Ni}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、及び AlN の群のうち、少なくとも1種を含む受動部品が提供される。

【0018】

本発明によれば、導電体層を金属あるいは合金材料よりなる連続膜とすることにより導電体層の比抵抗を低減することができ、誘電体層をエアロゾル化した上記のセラミックスの微粒子材料を吹き付けて形成することにより、これらの微粒子材料の特性を損なうことなく誘電体層を形成することができる。その結果受動部品の高周波における損失を低減することができる。ここで、受動部品は、例えば、積層セラミックコンデンサ、薄膜コイル、積層コイル、あるいはこれらを用いたフィルタ、ストリップラインを用いたフィルタなどである。

【0019】

本発明のその他の観点によれば、上記いずれかの回路基板及び／又は上記受動部品と、電子部品とを備えた電子装置が提供される。本発明によれば、上記の回路基板及び受動部品は高周波領域において低損失特性を有しているので、低消費電力及び高速動作が可能な電子装置を実現することができる。

【0020】

本発明のその他の観点によれば、層間絶縁層と導電体層とが積層されてなる回路基板の製造方法であって、エアロゾル化した微粒子材料をキャリアガスと共に所定の速度で噴射して層間絶縁層を形成する工程と、金属あるいは合金材料を堆

積あるいは成長させて前記導電体層を形成する工程とを備えることを特徴とする回路基板の製造方法が提供される。

【0021】

本発明によれば、エアロゾル化した微粒子材料を、層間絶縁膜を形成する下地に吹き付けることにより、微粒子材料の特性、例えば誘電特性を損なうことなく形成することができる。室温下において成膜することができるので、従来のLTCC法等の高温プロセスが必要なセラミック基板形成工程では困難であった、導電体層を無電解めっき法、電解めっき法、スパッタ法、真空蒸着法、化学的気相成長法により金属あるいは合金材料を堆積させあるいは成長させて形成することができる。したがって、焼成工程を省略することができるので導電体層を形成する工程が容易化され歩留まりが向上すると共に、導電体層は連続膜となって比抵抗を低減することができ、低損失の回路基板を実現することができる。

【0022】

【発明の実施の形態】

以下、本実施の形態を説明すると共に、本発明に用いられるエアロゾルデポジション法（以下「AD法」と称する。）を用いた成膜装置の説明をする。

【0023】

（第1の実施の形態）

図1は、本発明の実施の形態に係る回路基板の要部断面図である。図1を参照するに、本実施の形態に係る回路基板10は、ベース基板11と、ベース基板11上に下部配線層12、キャパシタ層13、上部配線層14が順次積層されて構成されている。

【0024】

具体的には、下部配線層12は、ベース基板11表面に選択的に形成された第1導電体層15と、ベース基板11及び第1導電体層15を覆う第1層間絶縁層16と、第1層間絶縁層16上に選択的に形成された第2導電体層18と、第1層間絶縁層13及び第2導電体層14を覆う第2層間絶縁層19と、第1導電体層15と第2導電体層18などを電氣的に接続するビア17などから構成されている。

【0025】

キャパシタ層 13 は、第 2 層間絶縁層 19 上に形成された第 1 電極層 21 と、第 2 層間絶縁層 19 及び第 1 電極層 21 を覆う誘電体層 22 と、第 1 電極層 21 に対向して誘電体層 22 上に形成された第 2 電極層 23 などから構成されている。

【0026】

上部配線層 14 は、キャパシタ層 13 の第 2 電極層 23 と、誘電体層 22 及び第 2 電極層 23 を覆う第 3 層間絶縁層 24 と、第 3 層間絶縁層 24 上に形成された第 3 導電体層 25 と、第 2 電極層 23 と第 3 導電体層 25 とを接続するビア 26 などから構成されている。

【0027】

本実施の形態に係る回路基板は、前記第 1～第 3 層間絶縁層 16, 19, 24 及び誘電体層 22 が AD 法により形成されていることに 1 つの特徴がある。また、AD 法では室温下において成膜できるので、LTCC 法のような 900℃～1000℃程度の高温での加熱処理（焼成）を必要としない。したがって、前記第 1 及び第 2 導電体層 15, 18 を、電解あるいは部無電解めっき法、真空蒸着法、スパッタ法、CVD 法等により金属または合金よりなる連続膜により形成することができるので、LTCC 法と比較して第 1 及び第 2 導電体層 15, 18 のような導電体層の比抵抗を低減することができるという他の特徴がある。

【0028】

前記第 1～第 3 層間絶縁層 16, 19, 24 は、例えば厚さ 50 μm の、AD 法によりセラミックスからなる微粒子材料をエアロゾル化して、各々の下地に吹き付けて堆積させて形成されたものである。

【0029】

前記第 1～第 3 層間絶縁層 16, 19, 24 に用いられるセラミックスとしては、 Al_2O_3 、 MgO 、 SiO_2 、 CaO 、 $3\text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$ 、 $\text{MgO} \cdot \text{Al}_2\text{O}_3$ 、 $2\text{MgO} \cdot \text{SiO}_2$ 、 $2\text{Al}_2\text{O}_3 \cdot 2\text{MgO} \cdot 5\text{SiO}_2$ 、及び $\text{CaO} \cdot \text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$ から選択される 1 種あるいは 2 種以上の混合物が挙げられる。これらのセラミックスから形成される第 1～第 3 層間絶縁層 16, 19, 24

は、高周波、特に 2 GHz 以上において誘電損失が低い。したがって、損失が低減された高周波回路に適した回路基板を実現することができる。さらに、AD法では多層化された場合にも焼成工程を必要としないため、LTCC基板のような熱収縮による寸法変動という歩留まり低下要因がないので、歩留まり低下が生じにくいという点で有利である。

【0030】

また、第1～第3導電体層16, 19, 24、第1及び第2電極層21, 23は、導電材料より、金属あるいは合金材料よりなり、例えばめっき法、スパッタ法、真空蒸着法、CVD法などより形成することができる。金属材料としては特に限定されないが、低抵抗の金属材料、例えば、Cu、Ag、Au、Alあるいはこれらの合金などが好ましい。LTCC法ではAg粉末を含む導体ペーストを焼成して導電体層を形成するため（厚膜法）、導電体層の比抵抗がAg自体の比抵抗まで低下させることはできないが、本実施の形態に係る導電体層は連続膜を形成することができるので材料自体の比抵抗まで低減することができ、高周波領域における損失を低減することができる。

【0031】

前記誘電体層22は、例えば厚さ50 μm の、AD法により微粒子材料をエアロゾル化して、各々の下地に吹き付けて堆積させて形成されたものである。

【0032】

誘電体層22に用いられるセラミックスとしては、例えば TiO_2 、 MgO 、 SiO_2 、 AlN 、 Al_2O_3 などのセラミックスが挙げられ、さらに、ペロブスカイト構造を有する酸化物セラミックス、例えば、Pb系の PbTiO_3 、 PbZrO_3 、 $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ ($0 \leq x \leq 1$) の一般式で示されるPZT、 $(\text{Pb}_{1-y}\text{La}_y)(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ ($0 \leq x, y \leq 1$) の一般式で示されるPLZT、 $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 $\text{Pb}(\text{Ni}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 $\text{Pb}(\text{Zn}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、Ba系の BaTiO_3 、 BaTi_4O_9 、 $\text{Ba}_2\text{Ti}_9\text{O}_{20}$ 、 $\text{Ba}(\text{Zn}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Zn}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Co}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Co}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Ni}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ 、Ba (

$Ti_{1-x}Zr_x$) O_3 、その他、 $ZrSnTiO_4$ 、 $CaTiO_3$ 、 $MgTiO_3$ 、 $SrTiO_3$ が挙げられる。

【0033】

特にキャパシタ用の誘電体層 22 に好適なセラミックスとしては、高誘電率かつ高周波における低損失の観点から、 TiO_2 、 $BaTiO_3$ 、 $BaSrTiO_3$ 、 $BaTiZrO_3$ 、 $BaTi_4O_9$ 、 $Ba_2Ti_9O_{20}$ 、 $Ba(Mg_{1/3}Ta_{2/3})O_3$ 、 $Ba(Zn_{1/3}Ta_{2/3})O_3$ 、 $Ba((Zn_{1/3}Nb_{2/3})O_3$ 、 $ZrSnTiO_4$ 、 $PbZrTiO_3$ 、 $Pb(Mg_{1/3}Nb_{2/3})O_3$ 、及び $Pb(Ni_{1/3}Nb_{2/3})O_3$ から選択される 1 種あるいは 2 種以上の混合物が好ましい。

【0034】

上記層間絶縁層及び誘電体層に用いられるセラミックスの微粒子材料の表面をアルミニウム系化合物または鉛系化合物により処理あるいは被覆したものを用いてもよい。本願発明者の検討により、上述した微粒子材料のみによって AD 法により成膜するよりも厚膜、特に $5\mu m \sim 1mm$ の範囲で緻密な膜を形成することができることが確認されている。アルミニウム系化合物または鉛系化合物の被覆量は、主剤となる誘電体材料に被覆量を加えた重量を基準 (100 質量部) として、0.1 質量% ~ 50 質量% (さらに好ましくは 0.1 質量% ~ 20 質量%) に設定されることが好ましい。

【0035】

アルミニウム系化合物としては、 Al_2O_3 、 $LiAlO_2$ 、 $MgAl_2O_4$ 、 $CaAl_2O_4$ 、 $SrAl_2O_4$ 、 $BaAl_2O_4$ 、 $Y_3Al_5O_{12}$ 、 AlN 、 $Al_2O_3 \cdot nH_2O$ 、水酸化アルミニウム ($Al(OH)_3$)、アルミニウムアルコキシド ($Al(OR)_3$ (R: アルキル基))、ムライト ($3Al_2O_3 \cdot 2SiO_2$)、スピネル ($MgO \cdot Al_2O_3$)、コージェライト ($2Al_2O_3 \cdot 2MgO \cdot 5SiO_2$)、アノーサイト ($CaO \cdot Al_2O_3 \cdot 2SiO_2$)、ゲーレンナイト ($2CaO \cdot Al_2O_3 \cdot SiO_2$) 等が挙げられる。これらのアルミニウム化合物のうち、 Al_2O_3 、水酸化アルミニウム ($Al(OH)_3$)、アルミニウムアルコキシド ($Al(OR)_3$ (R: アルキル基)) が好適である。

【0036】

鉛系化合物としては、 $\text{Pb}_2\text{FeNbO}_6$ 、 $\text{Pb}_2\text{FeTaO}_6$ 、 $\text{Pb}_2\text{YbNbO}_6$ 、 Pb_2YbTO_6 、 $\text{Pb}_2\text{LuNbO}_6$ 、 $\text{Pb}_2\text{LuTaO}_6$ 、 $\text{Pb}_3\text{NiNb}_2\text{O}_9$ 、 $\text{Pb}_3\text{NiTa}_2\text{O}_9$ 、 $\text{Pb}_3\text{ZnNb}_2\text{O}_9$ 、 $\text{Pb}_3\text{Fe}_2\text{WO}_9$ 、 Pb_2CdWO_6 、 PbTiO_3 、 PbZrO_3 、 PbSnO_3 、 PbHfO_3 等が挙げられる。

【0037】

なお、本実施の形態に係る回路基板には抵抗体膜を設けてもよい。AD法を用いて抵抗体膜43を形成することができる微粒子材料としては、酸化ルテニウム(RuO_2)、酸化レニウム(ReO_2)、酸化イリジウム(IrO_2)などの酸化物セラミックスの他、ペロブスカイト構造を有する酸化物セラミックス、例えば SrVO_3 、 CaVO_3 、 LaTiO_3 、 SrMoO_3 、 CaMoO_3 、 SrCrO_3 、 CaCrO_3 、 LaVO_3 、 GdVO_3 、 SrMnO_3 、 CaMnO_3 、 NiCrO_3 、 BiCrO_3 、 LaCrO_3 、 LnCrO_3 、 SrRuO_3 、 CaRuO_3 、 SrFeO_3 、 BaRuO_3 、 LaMnO_3 、 LnMnO_3 、 LaFeO_3 、 LnFeO_3 、 LaCoO_3 、 LaRhO_3 、 LaNiO_3 、 PbRuO_3 、 $\text{Bi}_2\text{Ru}_2\text{O}_7$ 、 LaTaO_3 、 BiRuO_3 等、さらに、 LaB_6 が挙げられる。なお、第1の実施の形態において説明した、微粒子材料をアルミニウム化合物又は鉛系化合物により処理したものをを用いてもよい。膜厚が $5\mu\text{m}\sim 1\text{mm}$ の厚膜を形成する場合に緻密な抵抗体膜を得ることができる。

【0038】

図2は、本発明に使用するAD法を用いた成膜装置の概略構成図である。図2を参照するに、AD膜形成装置50は、大略、微粒子材料をエアロゾル化するエアロゾル発生器51と、エアロゾル化された微粒子のAD膜材料を噴射して基板上にAD膜を形成する成膜室52などから構成されている。

【0039】

エアロゾル発生器51には、ガスボンベ53及びマスフローコントローラ54が配管を介して接続されている。ガスボンベ53に充填された高圧のアルゴン等のキャリアガスをマスフローコントローラ54において制御する。エアロゾル発生器51の容器56内での微粒子の発塵量や成膜室52におけるエアロゾル化さ

れた微粒子の噴出量を制御することができる。キャリアガスは、アルゴンガスの他、ヘリウム、ネオン、窒素の不活性ガスを用いることができる。なお、微粒子材料としてペロブスカイト構造を有する酸化物セラミックスを用いる場合は、キャリアガスは酸化性のガス、例えば酸素や空気を用いてもよい。成膜の際に酸化物セラミックス微粒子材料の酸素欠損を補うことができる。

【0040】

また、エアロゾル発生器 51 には、超音波振動や電磁振動、機械的振動により微粒子を一次粒子化する振動機 58 が設けられている。一次粒子化により緻密かつ均一な AD 膜を形成することができる。

【0041】

成膜室 52 には、エアロゾル発生器 51 から配管 59 を介して接続されたノズル 60 と、ノズル 60 と対向して基板 11 を保持する基板保持台 61 が設けられ、さらに、基板の位置を制御する XYZ ステージ 62 が基板保持台 61 に連結されている。また、成膜室 52 内の圧力を低圧とするためのメカニカルブースタ 64 とロータリポンプ 65 が接続されている。

【0042】

膜形成材料となる平均粒径が $10\text{ nm} \sim 1\text{ }\mu\text{ m}$ の微粒子をエアロゾル発生器 51 に充填して、ガスボンベ 53 から、例えば $19.6\text{ Pa} \sim 49\text{ Pa}$ ($2 \sim 5\text{ kg/cm}^2$) の圧力のアルゴンガスをキャリアガスとして成膜室 52 に供給し振動機 58 により加振して、微粒子をエアロゾル化する。エアロゾル化された微粒子はキャリアガス共に、エアロゾル発生器 51 の容器 56 内の圧力より低圧に設定されている成膜室 52 に配管 59 を通じて搬送される。成膜室 52 においてノズル 60 からキャリアガスと共に微粒子が噴射され、ジェット流となって微粒子が図 1 に示す基板 11 等の上に堆積し第 1 層間絶縁 16 が形成される。噴射速度は、ノズル 60 の形状、導入されるキャリアガスの圧力及びエアロゾル発生器 51 内と成膜室 52 内との圧力差により制御することができ、 $3\text{ m/秒} \sim 400\text{ m/秒}$ (好ましくは $200\text{ m/秒} \sim 400\text{ m/秒}$) の範囲に設定される。この範囲に噴射速度を設定することにより、基板 11 等の下地との密着強度が高い第 1 層間絶縁層 16 等を形成することができる。微粒子が基板 11 との衝突の際に基板

11の表面の汚染層や水分を除去し、また、導電材料よりなる第1導電体層15等の汚染層や酸化物層を除去して表面を活性化する。また、微粒子自体の表面も微粒子相互の衝突により同様に活性化される。その結果、微粒子が基板11及び第1導電体層15等の表面に結合し、さらに微粒子同士が結合するので付着強度が高く緻密な第1層間絶縁層163が形成される。なお、噴射速度が400m/秒より大となると基板11に損傷を与えるおそれがあり、3m/秒より小さいと十分な付着強度を確保することができない。

【0043】

また、AD法による成膜の際、又は成膜後に第1層間絶縁層16を加熱する必要がない。微粒子材料は、基板に堆積する際に微粒子最表面のみが衝突により衝撃を受けて活性化され、微粒子内部には影響が及ばないため、微粒子の有する結晶性が堆積された第1層間絶縁層16においても保持されるためであると推察される。

【0044】

本発明に用いられる微粒子材料の平均粒径は、10nm～1μmの範囲に設定される。10nmより小さいと基板への密着強度が不足し、1μmより大きいと連続膜が形成しにくくなり脆弱な膜になってしまう。

【0045】

なお、成膜装置50は、ノズル60及びエアロゾル発生器51を2つ以上設けて独立に微粒子材料を噴射させるようにしてもよい。異なる種類の微粒子材料を、形成される膜中において混合したり層状に形成したりすることができる。

【0046】

次に本発明の実施の形態に係る回路基板の製造方法について説明する。図3（A）～図4（D）は、本実施の形態に係る回路基板の製造工程を示す図である。

【0047】

図3（A）の工程では、ガラス基板よりなる基板11の表面を覆うように、例えば無電解めっき法、真空蒸着法、スパッタ法、又はCVD法によりCu膜のめっきシード層15Aを形成し、さらにめっきシード層15A表面に、例えば膜厚40μmのドライフィルムレジストをレジスト膜28として使用し、密着ロール

温度 105℃、線圧 4 kg/cm にてラミネートした。次いで配線パターンを全波長使用の平行光紫外線を用いて露光し、炭酸ナトリウム 1 wt % 水溶液を用いてスプレー法により現像し、配線パターンが形成されたレジスト膜 28 を得る。

【0048】

次いで図 3 (B) の工程では、めっきシード層 15 A を電極として電解めっき法にて厚さ 5 μ m の Cu 膜のめっき層 15 B をめっきシード層 15 A 上に積層し、第 1 導電体層 15 を形成する (めっきシード層 15 A とめっき層 15 B の積層体を第 1 導電体層 15 と称する。)。次いでレジスト膜 28 を剥離し、めっきシード層 15 A の第 1 導電体層 15 以外の部分をパネルエッチングにより除去した。エッチング液としては過酸化水素水と硫酸の混合液を用いた。なお、第 1 導電体層 15 は、めっきシード層 15 A を形成せずにレジスト膜 28 に配線パターンを形成後、無電解めっき法、真空蒸着法、スパッタ法、又は CVD 法により形成してもよい。

【0049】

図 3 (B) の工程ではさらに、図 2 に示す AD 成膜装置を用いて微粒子材料を吹き付けて第 1 層間絶縁層 16 を形成する。微粒子材料は、アルミニウムアルコキシドの一種であるアルミニウムイソプロポキシドにより表面処理を行い、さらに大気中において 1000℃ で焼成し得られた Al_2O_3 膜を被覆した、例えば平均粒径 0.3 μ m の MgO 微粒子材料を用いる。成膜時間を 30 分間に設定し、厚さ 50 μ m の Al_2O_3 含有 MgO 膜よりなる第 1 層間絶縁層 16 を形成する。なお、MgO 微粒子材料と Al_2O_3 膜の質量比を 2 : 8 ~ 8 : 2 とする。なお、第 1 層間絶縁層 16 等の層間絶縁層を形成する際に用いられる微粒子材料としては、MgO の他、 Al_2O_3 、 SiO_2 、CaO、 $3Al_2O_3 \cdot 2SiO_2$ 、 $MgO \cdot Al_2O_3$ 、 $2MgO \cdot SiO_2$ 、 $2Al_2O_3 \cdot 2MgO \cdot 5SiO_2$ 、及び $CaO \cdot Al_2O_3 \cdot 2SiO_2$ から選択される 1 種あるいは 2 種以上の混合物が挙げられ、さらにアルミニウム系化合物または鉛系化合物により処理あるいは被覆したものをを用いてもよい。さらに、必要に応じて、第 1 層間絶縁層 16 の表面を機械的研磨法、化学的機械研磨 (CMP) 法等を用いて平坦化してもよい。

【0050】

次いで図3 (C) の工程では、図3 (B) の工程の構造体上にレジスト膜29を形成し、レジスト膜29をパターンニングして、フッ化水素酸等により第1層間絶縁層16をエッチングして、第1導電体層15を露出させるビアホール16-1を形成する。ビアホールの深さはフッ化水素酸等に浸漬する時間により制御する。次いでレジスト膜29を剥離する。

【0051】

次いで図3 (D) の工程では、図3 (C) の工程の構造体表面に、スパッタ法によりCr膜とCu膜を順次積層した積層導電体のめっきシード層18Aを形成し、めっきシード層18A表面に、レジスト膜30として例えば膜厚 $40\mu\text{m}$ のドライフィルムレジストを用いてラミネートする。次いで配線パターンを全波長使用の平行光紫外線を用いて露光し、炭酸ナトリウム1wt%水溶液を用いてスプレー法により現像し、配線パターンが形成されたレジスト膜30を得る。

【0052】

次いで図4 (A) の工程では、めっきシード層18Aを電極として電解めっき法にて厚さ $5\mu\text{m}$ のCu膜のめっき層18Bをめっきシード層18A上に積層し、第2導電体層18及びビア17を形成する（めっきシード層18Aとめっき層18Bの積層体を第2導電体層18と称する。）。次いでレジスト膜30を剥離し、めっきシード層18Aの第2導電体層18以外の部分をパネルエッチングにより除去する。

【0053】

次いで図4 (B) の工程では、図4 (A) の構造体上に、図3 (B) の工程と同様にして、第2層間絶縁層19を形成する。

【0054】

図4 (B) の工程ではさらに、第2層間絶縁層19上に、図3 (C) ～図4 (A) の工程と同様にして第1電極層21、及び第2導電体層18と第1電極層21を接続するビア20を形成する。

【0055】

図4 (B) の工程ではさらに、第2層間絶縁層19及び第1電極層21を覆うように、図2に示すAD成膜装置を用いて微粒子材料を吹き付けて誘電体層22

を形成する。誘電体層 22 微粒子材料はアルミニウムアルコキシドの一種であるアルミニウムイソプロポキシドにより表面処理を行い、さらに大気中において 1000℃で焼成し得られた Al_2O_3 膜を被覆した、例えば平均粒径 $0.3\ \mu m$ の BaTiO₃ 微粒子材料を用いる。成膜時間を 3 分間に設定し、厚さ $5\ \mu m$ の Al_2O_3 含有 BaTiO₃ 膜よりなる誘電体層 22 を形成する。BaTiO₃ 微粒子材料と Al_2O_3 膜の質量比を 95 : 5 とした。なお、上述したキャパシタ用の誘電体層を形成する際に用いられる微粒子材料として用いることができる。

【0056】

なお、誘電体層 22 は下地の第 2 層間絶縁層 19 と異なる材料により形成されているが、AD 法により形成されているので、誘電体層 22 の微粒子材料が第 2 層間絶縁層 19 を構成する材料の最表面の付着物質を除去すると共に活性化することにより高い密着強度の境界面を実現することができる。

【0057】

図 4 (B) の工程ではさらに、誘電体層 22 上にめっきシード層 23A およびめっき膜 23B よりなる第 2 電極層 23 を形成する。以上により、第 1 電極層 21 と第 2 電極層 23 との間に誘電体層 22 を有するキャパシタ 27 が形成される。

【0058】

次いで図 4 (C) の工程では、図 4 (B) の構造体上に第 3 層間絶縁層 24 を形成し、さらに、第 3 層間絶縁層 24 上に第 3 導電体層 25 を選択的に形成する。以上により、図 4 (C) に示す回路基板が形成される。

【0059】

なお、回路基板 10 には、上記層間絶縁層 16, 19, 24 又は誘電体層 22 間に上記導電体層 15, 18, 25 と同様にパターンニングしてマイクロストリップラインを形成することによりフィルタを形成することができ、また、スパイラルインダクタあるいはミアンダラインインダクタなどのインダクタを形成することができる。

【0060】

また、本実施の形態において述べた方法と同様の方法により、例えば、積層セ

ラミックコンデンサ、薄膜コイル、積層コイル、あるいはこれらを用いたフィルタ、ストリップラインを用いたフィルタなどの受動部品を形成することができる。具体的には、上述した方法により誘電体層とパターンニングした導電体層を積層して形成した積層体を、所望の形状・寸法に切断し、スパッタ法やめっき法等により電極を設けることにより形成することができる。

【0061】

以下、図面に基づいて実施例および比較例を説明する。

【0062】

[実施例 1]

図5は、本発明の実施例に係る回路基板の概略構成を示す断面図である。図5を参照するに、本実施例に係る回路基板70は、ガラス基板71と、ガラス基板71上に形成された層間絶縁層72と導電体層73が交互に積層されてなる配線層と、層間絶縁層72中に選択的に形成されたキャパシタ75及びフィルタ76と、各導電体層を接続するビア78と、回路基板70表面に形成された抵抗素子79などから構成されている。

【0063】

先ず、ガラス基板全面に、スパッタ法によりCr膜、Cu膜のめっきシード層を形成し（それぞれ厚さ $0.1\mu\text{m}$ 、厚さ $0.5\mu\text{m}$ ）、次いでめっきシード層を電極として電解めっき法により厚さ $5\mu\text{m}$ のCu膜のめっき膜を形成して、めっきシード層とめっき膜の積層体よりなる第1導電体層73-1を形成した。

【0064】

次いで、図2に示すAD法による成膜装置を使用し、導電体層73-1上に Al_2O_3 被覆MgO微粒子材料を用いて厚さ $100\mu\text{m}$ の層間絶縁層72-1を形成した。圧力 19.6Pa （ $2\text{kg}/\text{cm}^2$ ）の高純度窒素ガス（純度99.9%）をキャリアガスとして、キャリアガスの流量を4L/分に設定してエアロゾル化した。成膜室を $5\text{Pa}\sim 10\text{Pa}$ に、エアロゾル化した Al_2O_3 被覆MgO微粒子材料の流量を30g/時間に設定して30分間噴射した。

【0065】

なお、 Al_2O_3 被覆MgO微粒子材料は以下のようにして調製した。平均粒径

0.25 μm の MgO 微粒子材料（高純度科学研究所社製）をイソプロピルアルコールに加え攪拌して懸濁液を準備し、この懸濁液にアルミニウムイソプロポキシドを混合して 60℃ に加熱して 1 時間攪拌した。次いで、遠心分離機により溶媒を除去した後、加熱乾燥して粉体として取り出し、1000℃ において 2 時間焼成処理を行い、 Al_2O_3 被覆 MgO 微粒子材料を得た。ここで MgO 微粒子材料と Al_2O_3 膜の質量比を 95 : 5 とした。

【0066】

次いで、層間絶縁層 72-1 上にスパッタ法により Cr 膜、Cu 膜のめっきシード層を形成し（それぞれ厚さ 0.1 μm 、厚さ 0.5 μm ）、次いでめっきシード層表面に膜厚 40 μm のドライフィルムレジスト（ニチゴー・モートン社製 NIT215）をレジスト膜として使用し、密着ロール温度 105℃、線圧 4 kg/cm にてラミネートした。次いで配線パターンを全波長使用の平行光紫外線を用いて露光し、炭酸ナトリウム 1 wt% 水溶液を用いてスプレー法により現像し、配線パターンが形成されたレジスト膜（図示せず）を得た。

【0067】

次いで、電解めっき法によりめっきシード層上に Cu 膜よりなるめっき膜を形成し、めっきシード層とめっき膜よりなる導電体層 73-2 を形成した。次いで、レジスト膜を剥離後、導電体層 73-2 以外のめっきシード層の部分をパネルエッチングにより除去した。エッチング液としては過酸化水素水と硫酸の混合液を用いた。さらに、層間絶縁層 72-2 ~ 72-8 と導電体層 73-3 ~ 73-8 を上述した方法で繰り返し形成した。

【0068】

次いで、フィルタ 76 を、層間絶縁層 72-4 ~ 72-6 をレジスト膜（図示せず）によりマスクしてスパッタ法により形成した Cu 膜よりなるストリップライン 80-1 ~ 80-3 と、誘電体層 81-1 ~ 81-3 とを交互に積層して形成した。誘電体層は AD 法により Al_2O_3 被覆 Ba ($\text{Mg}_{1/3}\text{Ta}_{2/3}$) O_3 微粒子材料を用いて形成した。なお、 Al_2O_3 被覆 Ba ($\text{Mg}_{1/3}\text{Ta}_{2/3}$) O_3 微粒子材料は以下のようにして調製した。平均粒径 0.8 μm の Ba ($\text{Mg}_{1/3}\text{Ta}_{2/3}$) O_3 微粒子材料（高純度科学研究所社製）をイソプロピルアルコールに加え

攪拌して懸濁液を準備し、この懸濁液にアルミニウムイソプロポキシドを混合して60℃に加熱して1時間攪拌した。次いで、遠心分離機により溶媒を除去した後、加熱乾燥して粉体として取り出し、1000℃において2時間焼成処理を行い、 Al_2O_3 被覆アルミニウムイソプロポキシドにより表面処理した。 $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 微粒子材料を得た。ここで $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 微粒子材料と Al_2O_3 膜との質量比を95:5とした。

【0069】

また、導電体層73-2をパターンングした方法と同様にしてキャパシタの下部電極層82-1を形成し、次いで下部電極層82-1を覆うように、AD法により Al_2O_3 被覆 BaTiO_3 微粒子材料を用いて厚さ10 μm の誘電体層83を形成した。なお、 Al_2O_3 被覆 BaTiO_3 微粒子材料は平均粒径0.5 μm の BaTiO_3 微粒子材料（堺化学社製）を、上記 MgO 微粒子材料と同様にして Al_2O_3 被覆 BaTiO_3 微粒子材料を得た。ここで BaTiO_3 微粒子材料と Al_2O_3 膜の質量比を95:5とした。

【0070】

さらに、さらに回路基板70の表面に電極層84を形成し、ドライフィルムレジストをレジスト膜（図示せず）としてラミネートした後、抵抗パターンを露光・現像してパターンングして、AD法により平均粒径0.01 μm のTa粉末（高純度化学研究所社製）を用いて30分間成膜し、電極層84間に厚さ50 μm のTa膜よりなる抵抗体85膜を形成した。次いでレジスト膜を剥離し抵抗素子79を形成した。以上により、本実施例に係る回路基板70を形成した。

【0071】

[実施例2]

本実施例は、基板71としてシリコンウェハを用い、実施例1の層間絶縁層72-1～72-8をアルミニウムイソプロポキシドにより表面処理したムライト（ $3\text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$ ）微粒子材料により形成し、フィルタの誘電体層81-1～81-3を Al_2O_3 被覆 BaTi_4O_9 微粒子材料により形成し、キャパシタの誘電体層83を Al_2O_3 被覆 BaSrTiO_3 微粒子材料により形成した以外は実施例1と同様である。

【0072】

なお、アルミニウムイソプロポキシドにより表面処理したムライト微粒子材料は以下のようにして調製した。平均粒径 $0.8 \mu\text{m}$ のムライト微粒子材料（高純度化学研究所社製）をイソプロピルアルコールに加え攪拌して懸濁液を準備し、この懸濁液にアルミニウムイソプロポキシドを混合して 60°C に加熱して1時間攪拌した。次いで、遠心分離機により溶媒を除去した後、加熱乾燥して粉体として取り出し、アルミニウムイソプロポキシドにより表面処理したムライト微粒子材料を得た。ここでムライト微粒子材料とアルミニウムイソプロポキシド中の Al_2O_3 換算質量との質量比を $95:5$ とした。

【0073】

また、 Al_2O_3 被覆 BaTi_4O_9 微粒子材料及び Al_2O_3 被覆 BaSrTiO_3 微粒子材料は、実施例1の Al_2O_3 被覆 MgO 微粒子材料と同様にして Al_2O_3 膜を形成し、 BaTi_4O_9 微粒子材料と Al_2O_3 膜の質量比を $98:2$ 、 BaSrTiO_3 微粒子材料と Al_2O_3 膜の質量比を $98:2$ とした。

【0074】

[実施例3]

本実施例は、基板71としてシリコンウェハを用い、実施例1の層間絶縁層72-1～72-8をアルミニウムイソプロポキシドにより表面処理した $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 微粒子材料により形成し、抵抗素子79の抵抗体膜85を、 RuO_2 微粒子材料を用いてAD法により形成し、キャパシタを形成しなかった以外は実施例1と同様である。

【0075】

なお、アルミニウムイソプロポキシドにより表面処理した $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 微粒子材料は以下のようにして調製した。平均粒径 $0.8 \mu\text{m}$ の $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 微粒子材料（高純度化学研究所社製社製）をイソプロピルアルコールに加え攪拌して懸濁液を準備し、この懸濁液にアルミニウムイソプロポキシドを混合して 60°C に加熱して1時間攪拌した。次いで、遠心分離機により溶媒を除去した後、加熱乾燥して粉体として取り出し、アルミニウムイソプロポキシドにより表面処理した $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 微粒子材料を得た。こ

ここで $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 微粒子材料とアルミニウムイソプロポキシド中の Al_2O_3 換算質量との質量比を 95 : 5 とした。また、抵抗体膜 85 は平均粒径 $0.05\ \mu\text{m}$ の RuO_2 微粒子材料（高純度化学研究所社製）を用いた。

【0076】

〔実施例 4〕

本実施例は、第 3 実施例の層間絶縁層をアルミニウムイソプロポキシドにより表面処理した窒化アルミニウム（ AlN ）微粒子材料により形成した以外は第 3 実施例と同様である。

【0077】

〔比較例 1〕

図 6 は、本発明によらない比較例に係る回路基板の概略構成を示す断面図である。

【0078】

図 6 を参照するに、本比較例に係る回路基板 90 は、層間絶縁層 93 として絶縁性感光性ポリイミド樹脂を用い、導電体層 94 としてスパッタ法により形成された Cu 膜を用い、キャパシタ用の誘電体層 95 としてスパッタ法により形成された BaSrTiO_3 膜を用いて構成されたものである。

【0079】

基板 91 として表面に熱酸化層 92 を形成したシリコンウェハを用い、熱酸化層 92 上にスパッタ法により導電体層 94-1 を形成した。次いで導電体層 94-1 の表面に厚さ約 $10\ \mu\text{m}$ のレジスト膜（図示せず）を塗布し、ガラスマスクを重ねて水銀ランプにて $400\text{mJ}/\text{cm}^2$ の露光を行い、アルカリ系現像液にて露光部分を溶解除去した。次いで導電体層 94-1 のエッチングを行ない、配線パターンを形成した。

【0080】

次いで、熱酸化層 92 及び導電体層 94-1 を覆うように、スパッタ法により厚さ $50\ \mu\text{m}$ の BaSrTiO_3 膜よりなる誘電体層 95 を形成した。次いで誘電体層 94 上にスパッタ法によりスパッタ法により選択的に導電体層 94-2 を形成した。以上により導電体層 94-1 及び 94-2 との間に誘電体層 95 を有

するキャパシタ 96 が形成された。

【0081】

次いで、誘電体層 95 及び導電体層 94-2 を覆うように、スピンコート法により厚さ約 $30\text{ }\mu\text{m}$ の絶縁性感光性ポリイミド樹脂を塗布し、 80°C 、30 分間の乾燥を行い、層間絶縁層 93-1 を形成した。次いで、層間絶縁層 93-1 の露光・現像を行って、導電体層 94-2 を露出させるビアホール 93-1A を形成した。次いで、 350°C 30 分の加熱を行い、層間絶縁層 93-1 の絶縁性感光性ポリイミド樹脂を硬化させた。

【0082】

次いで、層間絶縁層 93-1 の表面にスパッタ法により、ビアホール 93-1A を充填する厚さ約 $5\text{ }\mu\text{m}$ の導電体層 94-3 を形成した。次いで、層間絶縁層 93-1 及び導電体層 94-3 を覆う層間絶縁層 93-2 を、上述した方法により絶縁性感光性ポリイミド樹脂を用いて形成し、さらに導電体層 94-4 を形成した。

【0083】

[比較例 2]

図 7 は、本発明によらない比較例に係る回路基板の概略構成を示す断面図である。図 7 を参照するに、本比較例に係る回路基板 100 は、基板 101 と、基板 101 上に形成されたエポキシ樹脂シートよりなる層間絶縁層 102 と、めっき法により形成された Cu 膜の導電体層 103 と、層間絶縁層 102 間に設けられたキャパシタ 104 の酸化物セラミックスとエポキシ樹脂の混合物よりなる誘電体層 105 などから構成されている。

【0084】

まず、基板 101 として両面銅張り板 FR-4 基板を用い、基板 101 上の Cu 膜 101A 上に層間絶縁層 102-1 としてエポキシ樹脂シート（味の素社製、商品名 ABF-SH-9K、厚さ $50\text{ }\mu\text{m}$ ）を成膜した。

【0085】

次いで、膜厚 $40\text{ }\mu\text{m}$ のデスミア保護膜（ニチゴー・モートン社製 NIT215）を使用して、密着ロール温度 105°C 、線圧 4 kg/cm にて層間絶縁層 1

02-1表面にラミネートし、全面を覆うデスミア保護膜（図示せず）を得た。

【0086】

次いで、デスミア保護膜を介して層間絶縁層102-1表面にUV-YAGレーザを使用して3mWのエネルギーで照射し穿孔し、直径約50 μ mのビアホール102-1Aを得た。次いで基板101表面を酸素プラズマ装置にかけ、さらにデスミア保護膜を剥離し、水洗乾燥した。

【0087】

次いで、ビアホール102-1Aが形成された層間絶縁層102-1の表面を覆うように無電解めっき法よりなるCu膜のめっきシード層103-1Aを形成し、さらにめっきシード層103-1Aを電極として電解めっき法によりCu膜のめっき層103-1Bを形成し、めっきシード層103-1Aとめっき層103-1Bよりなる導電体層103-1を形成した。

【0088】


次いで、導電体層103-1上に、平均粒径0.5 μ mのBaTiO₃とエポキシ樹脂からなる複合体の塗料を用いて、印刷法により厚さ50 μ mの誘電体層を形成し、その表面をCMP法により厚さ10 μ mとなるまで研磨・平坦化した。

【0089】

次いで、誘電体層表面を覆うように無電解めっき法よりなるCu膜のめっきシード層103-2Aを形成し、その表面に膜厚40 μ mのドライフィルムレジスト（ニチゴー・モートン社製NIT215）を密着ロール温度105℃、線圧4kg/cmにてラミネートした。次いで配線パターンを全波長使用の平行光紫外線を用いて露光し、炭酸ナトリウム1wt%水溶液を用いてスプレー法により現像し、配線パターンが形成されたレジスト膜（図示せず）を得た。

【0090】

次いで、めっきシード層103-2Aを電極として電解めっき法によりCu膜のめっき層103-2Bを形成し、めっきシード層103-2Aとめっき層103-2Bよりなる導電体層103-2を形成し、レジスト膜を剥離した。次いで、層間絶縁層と導電体層を含む配線、及び誘電体層を繰り返し形成した。以上に



より導電体層 103-1~103-6 と誘電体層 105-1~105-3 よりなるキャパシタ 104、例えば導電体層 103-1 及び 103-2 との間に誘電体層 105-1 を有するキャパシタ 104 が形成された。

【0091】

さらに、回路基板 100 の表面にドライフィルムレジスト膜（図示せず）をラミネートした後、露光・現像してパターンニングし、Ta 膜をスパッタ法により 15 分間成膜して、厚さ 50 μm の抵抗体膜 106 を形成した。次いでドライフィルムレジスト膜を剥離した。

【0092】

さらに、最後に、真空積層プレス（圧力 60 Torr 以下、加熱温度 180℃、70 分間、線圧 30 kg/cm）にて全体を一体化・貼り合わせた。表面のオーバーコート層をスクリーン印刷とフォトリソ法を併用して形成した。

【0093】

[比較例 3]

図 8 は、本発明によらない比較例に係る回路基板の概略構成を示す断面図である。図 8 を参照するに、本比較例に係る回路基板 110 は、低温焼成セラミックスより形成された層間絶縁層 111、キャパシタ用の誘電体層 112、及びフィルタ用の誘電体層 113 と、導体ペーストを焼成して形成（厚膜法）された導電体層 114 などから構成されている。

【0094】

先ず、層間絶縁層 111-1~111-6 となるガラス・アルミナ系のグリーンシートを調製した。具体的には、平均粒径 5 μm の Al_2O_3 粉末を 20 vol %、平均粒径 3 μm の硼珪酸系ガラス粉末を 80 vol % に調合し、さらにこれらの粉末の総量を基準（100 質量%）として、PVB（ポリビニルブチラール）樹脂を 8 質量%、可塑剤としてジブチルフタレート を 3 質量% 添加し、さらにアセトンを溶媒として添加してボールミルを用いて 20 時間混練した。次に、混練されたスラリーをドクターブレードを用いて成形し、厚さ 200 μm のグリーンシートを作製した。次いで、グリーンシートを所定の形状に切断・打ち抜きした。



【0095】

次いで、このグリーンシートにパンチングにより直径 $80\ \mu\text{m}$ のビアホール 14-1A 等を形成し、Ag 導体ペーストを埋め込んで、恒温槽を用いて 80°C 、30 分の乾燥を行った。次いで、乾燥したグリーンシートの表面に、Ag 導体ペーストを用いてスクリーン印刷法により導電体層となる回路パターンを形成した。

【0096】

次いで、フィルタ用の誘電体層 112-1~112-2 となる BMT (Ba ($\text{Mg}_{1/3}\text{Ta}_{2/3}$) O_3)・ガラス系のグリーンシートを調製した。すなわち、平均粒径 $3\ \mu\text{m}$ の Ba ($\text{Mg}_{1/3}\text{Ta}_{2/3}$) O_3 粉末 50 vol % と平均粒径 $5\ \mu\text{m}$ の硼珪酸ガラス粉末 50 vol % を調合し、さらにこれらの粉末の総量を基準 (100 質量%) として、PVB 樹脂を 8 質量%、可塑剤としてジブチルフタレート を 3 質量% 添加し、上記層間絶縁層と同様のプロセスにより厚さ $200\ \mu\text{m}$ のグリーンシートを作製しパターンニング・ビア形成を行った。

【0097】

次いで、キャパシタ用の誘電体層 113 となるグリーンシートを調製した。すなわち、平均粒径 $3\ \mu\text{m}$ の CaZr O_3 粉末 30 vol % と平均粒径 $5\ \mu\text{m}$ の硼珪酸ガラス粉末 70 vol % を調合し、さらにこれらの粉末の総量を基準 (100 質量%) として、PVB 樹脂を 8 質量%、可塑剤としてジブチルフタレート を 3 質量% 添加し、上記層間絶縁層と同様のプロセスにより厚さ $200\ \mu\text{m}$ のグリーンシートを作製しパターンニング・ビア形成を行った。

【0098】

これらのグリーンシートの位置合わせを行うと共に重ね合わせて、プレスを用いて 80°C 、30 分の加熱及び加圧処理を行い、積層体を得た。次いで積層体を大気下、 900°C 、2 時間の条件により焼成し、本比較例に係る基板を得た。

【0099】

(層間絶縁層及び導電体膜の評価)

図 9 は、実施例及び比較例に係る回路基板に形成された層間絶縁層及び導電体膜の特性を示す図である。

【0100】

図9を参照するに、比較例1～3の層間絶縁層は、2GHzにおける誘電損失が0.001以上であるのに対し、実施例1～4の層間絶縁層は、2GHzにおける誘電損失が0.00025～0.0005とかなり小さくなっている。

【0101】

また、比較例1及び3の導電体層は比抵抗が $5 \sim 8 \mu\Omega \cdot \text{cm}$ に比較して、実施例1～4の導電体層は比抵抗が $2 \mu\Omega \cdot \text{cm}$ とかなり小さいことが分かる。

【0102】

一方、比較例2の導電体層は比抵抗が $2 \mu\Omega \cdot \text{cm}$ であるが、層間絶縁層の誘電損失が0.0125と実施例1～4に対して大きい。

【0103】

したがって、このことから、図9に示すように、高周波損失は、比較例2の場合を1とした場合に、比較例1～3が0.8～1であるのに対し、実施例1～4では高周波における損失が0.6～0.7とかなり小さいことが認められた。

【0104】

なお、層間絶縁層の誘電損失は摂動法を用いて、ネットワークアナライザを使用して測定した。また導電体層の比抵抗は四端子法を用いて測定した。

【0105】

(フィルタ用の誘電体層の評価)

図10は、実施例及び比較例に係る回路基板に形成されたフィルタ用の誘電体層の特性を示す図である。

【0106】

図10を参照するに、比較例3のフィルタ用の誘電体層は、2GHzにおける比誘電率が15であるのに対し、実施例1及び2のフィルタ用の誘電体層は、2GHzにおける比誘電率が20と大きくなっている。

【0107】

また、比較例3のフィルタ用の誘電体層は、2GHzにおける誘電損失が0.00125であるのに対し、実施例1及び2のフィルタ用の誘電体層は、2GHzにおける誘電損失が0.00025～0.0003とかなり小さくなっている。

。

【0108】

したがって、図9の導電体層の比抵抗の結果と合わせることで、実施例1～2のフィルタ用の誘電体層は、高周波における損失が比較例3に比べてかなり小さく、かつ比誘電率が大きいことが認められた。

【0109】

なお、フィルタ用の誘電体層の比誘電率と誘電損失は摂動法を用いて、ネットワークアナライザを使用して測定した。

【0110】

(キャパシタ用の誘電体層の評価)

図11は、実施例及び比較例に係る回路基板に形成されたキャパシタ用の誘電体層の特性を示す図である。

【0111】

図11を参照するに、比較例1～3のキャパシタ用の誘電体層は、2GHzにおける比誘電率が50～300であるのに対し、実施例1及び2のキャパシタ用の誘電体層は、2GHzにおける比誘電率が800～2000と大きくなっている。

【0112】

したがって、このことから、実施例1及び2のキャパシタ用の誘電体層は、比誘電率が比較例1～3に比べてかなり大きいことが認められた。

【0113】

その結果、図11に示すように比較例2の静電容量密度を1とした場合、比較例1及び3の静電容量密度が5～10なのに対し、実施例1及び2の静電容量密度が10～20と大きくなっていることが分かる。

【0114】

静電容量密度は、各実施例及び比較例において、層状に形成されているキャパシタの静電容量の総和を求め、回路基板の面積で除したものであり、単位面積あたりの静電容量を表すものである。

【0115】

したがって、実施例 1 及び 2 の回路基板は回路基板中に静電容量の大なるキャパシタを設けることができるので、図 11 に示すように比較例 2 の基板大きさを 1 とした場合に、比較例 1 ～ 3 の 0.6 ～ 0.8 に対して、実施例 1 及び 2 の基板の大きさは 0.3 となり、回路基板表面にキャパシタを実装する数を低減することにより回路基板を小型化することができる。

【0116】

なお、キャパシタ用の誘電体層の比誘電率と誘電損失は、上記のフィルタ用の誘電体層の比誘電率と誘電損失の測定方法と同様の方法を用いた。

【0117】

(第 2 の実施の形態)

図 12 は、本発明の実施の形態に係る電子装置の概略断面図である。図 12 を参照するに、本実施の形態の電子装置 120 は、回路基板 121 と、回路基板 121 表面に配置された LSI 122 などから構成されている。

【0118】

回路基板 121 は、ベース基板 122 と、ベース基板 122 上に形成された層間絶縁層 123 及び導電体層 124 よりなる配線層 125 と、導電体層 124 が誘電体層 126 を挟んでなるキャパシタ 128 と、回路基板 121 表面の電極層 129 間に形成された抵抗体膜 130 よりなる抵抗素子 131 などから構成されている。

【0119】

回路基板 121 は、例えば上述した第 1 の実施の形態、実施例 1 ～ 4 に係る回路基板であり、したがって、高周波における損失が低減され、キャパシタの静電容量が大なるものである。したがって、回路基板 121 の表面に実装する受動部品数を低減することができ、回路基板 121 の小型化を図ることができる。その結果 LSI 122 等の能動部品を近接して配置できるので、伝送にかかる時間を短縮することができ、高周波における信号伝送の遅延を抑制することができる。ひいては、電子装置 120 の一層の高速動作が可能となる。

【0120】

以上本発明の好ましい実施例について詳述したが、本発明は係る特定の実施形

態に限定されるものではなく、特許請求の範囲に記載された本発明の範囲内において、種々の変形・変更が可能である。

【0121】

なお、以上の説明に関して更に以下の付記を開示する。

(付記1) 層間絶縁層と導電体層とが積層されてなる回路基板であって、
前記層間絶縁層はエアロゾル化した微粒子材料を吹き付けて堆積されてなり、
前記導電体層が金属あるいは合金材料よりなる連続膜であることを特徴とする回路基板。

(付記2) 前記微粒子材料がセラミックスよりなり、
 Al_2O_3 、 MgO 、 SiO_2 、 CaO 、 TiO_2 、 $3\text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$ 、 $\text{MgO} \cdot \text{Al}_2\text{O}_3$ 、 $2\text{MgO} \cdot \text{SiO}_2$ 、 $2\text{Al}_2\text{O}_3 \cdot 2\text{MgO} \cdot 5\text{SiO}_2$ 、 $\text{CaO} \cdot \text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$ 、 BaTiO_3 、 BaSrTiO_3 、 BaTiZrO_3 、 BaTi_4O_9 、 $\text{Ba}_2\text{Ti}_9\text{O}_{20}$ 、 $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Zn}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Zn}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 ZrSnTiO_4 、 PbZrTiO_3 、 $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 $\text{Pb}(\text{Ni}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、及び AlN の群のうち、少なくとも1種を含むことを特徴とする付記1記載の回路基板。

(付記3) 前記層間絶縁膜と、該層間絶縁膜上にパターンニングされて形成された導電体層よりなるフィルタを更に有することを特徴とする付記1または2記載の回路基板。

(付記4) 当該回路基板中または回路基板上に、複数の電極層と、該電極層との間に形成された誘電体層とよりなるキャパシタを更に有し、

前記誘電体層がエアロゾル化した他の微粒子材料を吹き付けて堆積されてなることを特徴とする付記1～3のうち、いずれか一項記載の回路基板。

(付記5) 前記他の微粒子材料がセラミックスよりなり、
 TiO_2 、 BaTiO_3 、 BaSrTiO_3 、 BaTiZrO_3 、 BaTi_4O_9 、 $\text{Ba}_2\text{Ti}_9\text{O}_{20}$ 、 $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Zn}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}((\text{Zn}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 ZrSnTiO_4 、 PbZrTiO_3 、 $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、及び $\text{Pb}(\text{Ni}_{1/3}\text{Nb}_{2/3})\text{O}_3$ の群のうち、少なくとも1種を含むことを特徴とする付記4記載の回路基板。

(付記6) 前記導電体層または電極層がCu、Ag、Au、及びAlの群のうちいずれか1種を含むことを特徴とする付記1～5のうちいずれか一項記載の回路基板。

(付記7) 誘電体層と導電体層とが積層されてなる受動部品であって、

前記誘電体層がエアロゾル化した微粒子材料を吹き付けてなり、前記導電体層が金属あるいは合金材料よりなる連続膜よりなり、

前記微粒子材料が Al_2O_3 、 MgO 、 SiO_2 、 CaO 、 TiO_2 、 $3\text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$ 、 $\text{MgO} \cdot \text{Al}_2\text{O}_3$ 、 $2\text{MgO} \cdot \text{SiO}_2$ 、 $2\text{Al}_2\text{O}_3 \cdot 2\text{MgO} \cdot 5\text{SiO}_2$ 、 $\text{CaO} \cdot \text{Al}_2\text{O}_3 \cdot 2\text{SiO}_2$ 、 BaTiO_3 、 BaSrTiO_3 、 BaTiZrO_3 、 BaTi_4O_9 、 $\text{Ba}_2\text{Ti}_9\text{O}_{20}$ 、 $\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Zn}_{1/3}\text{Ta}_{2/3})\text{O}_3$ 、 $\text{Ba}(\text{Zn}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 ZrSnTiO_4 、 PbZrTiO_3 、 $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、 $\text{Pb}(\text{Ni}_{1/3}\text{Nb}_{2/3})\text{O}_3$ 、及びAlNの群のうち、少なくとも1種を含むことを特徴とする受動部品。

(付記8) 付記1～6のうちいずれか一項記載の回路基板及び／又は付記7記載の受動部品と、電子部品とを備えた電子装置。

(付記9) 層間絶縁層と導電体層とが積層されてなる回路基板の製造方法であって、

エアロゾル化した微粒子材料をキャリアガスと共に所定の速度で噴射して層間絶縁層を形成する工程と、

金属あるいは合金材料を堆積あるいは成長させて前記導電体層を形成する工程とを備えることを特徴とする回路基板の製造方法。

(付記10) 前記導電体層を形成する工程は、無電解めっき法、電解めっき法、スパッタ法、真空蒸着法、及び化学的気相成長法の群のうち、いずれか1つを用いることを特徴とする付記9記載の回路基板の製造方法。

(付記11) 前記層間絶縁膜をマスクしてフッ化水素酸により接続孔を設ける工程をさらに有することを特徴とする付記9または10記載の回路基板の製造方法。

【0122】

【発明の効果】

以上詳述したところから明らかなように、本発明によれば、層間絶縁膜をAD法により常温において特性の優れた層間絶縁膜を形成することにより、導電体層をめっき法、スパッタ法などを用いて形成することで比抵抗の低減を図ることができる。したがって、高周波領域において低比抵抗及び低誘電体損失を共に有する回路基板、受動部品、電子装置、及び回路基板の製造方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る回路基板の要部断面図である。

【図 2】

本発明に使用するAD成膜装置の概略構成図である。

【図 3】

(A) ～ (D) は、本実施の形態に係る回路基板の製造工程（その 1）を示す図である。

【図 4】

(A) ～ (D) は、本実施の形態に係る回路基板の製造工程（その 2）を示す図である。

【図 5】

本発明の実施例 1 に係る回路基板の概略構成を示す断面図である。

【図 6】

本発明によらない比較例 1 に係る回路基板の概略構成を示す断面図である。

【図 7】

本発明によらない比較例 2 に係る回路基板の概略構成を示す断面図である。

【図 8】

本発明によらない比較例 3 に係る回路基板の概略構成を示す断面図である。

【図 9】

実施例及び比較例に係る回路基板に形成された層間絶縁層及び導電体膜の特性を示す図である。

【図 10】

実施例及び比較例に係る回路基板に形成されたフィルタ用の誘電体層の特性を示す図である。

【図 11】

実施例及び比較例に係る回路基板に形成されたキャパシタ用の誘電体層の特性を示す図である。

【図 12】

本発明の第 2 の実施の形態に係る電子装置の概略断面図である。

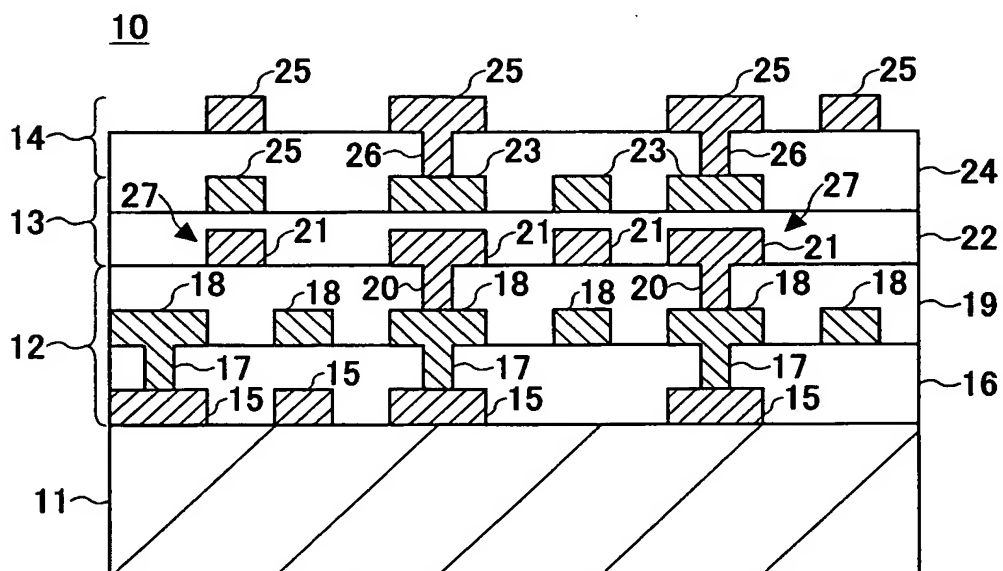
【符号の説明】

- 10、70 回路基板
- 11 ベース基板
- 12 下部配線層
- 13 キャパシタ層
- 14 上部配線層
- 15 第 1 導電体層
- 16 第 1 層間絶縁層
- 17、20、26 ビア
- 18 第 2 導電体層
- 19 第 2 層間絶縁層
- 22 誘電体層
- 50 AD 膜形成装置
- 51 エアロゾル発生器
- 52 成膜室
- 53 ガスポンペ
- 54 マスフローコントローラ
- 56 容器
- 58 振動機
- 60 ノズル
- 120 電子装置

【書類名】 図面

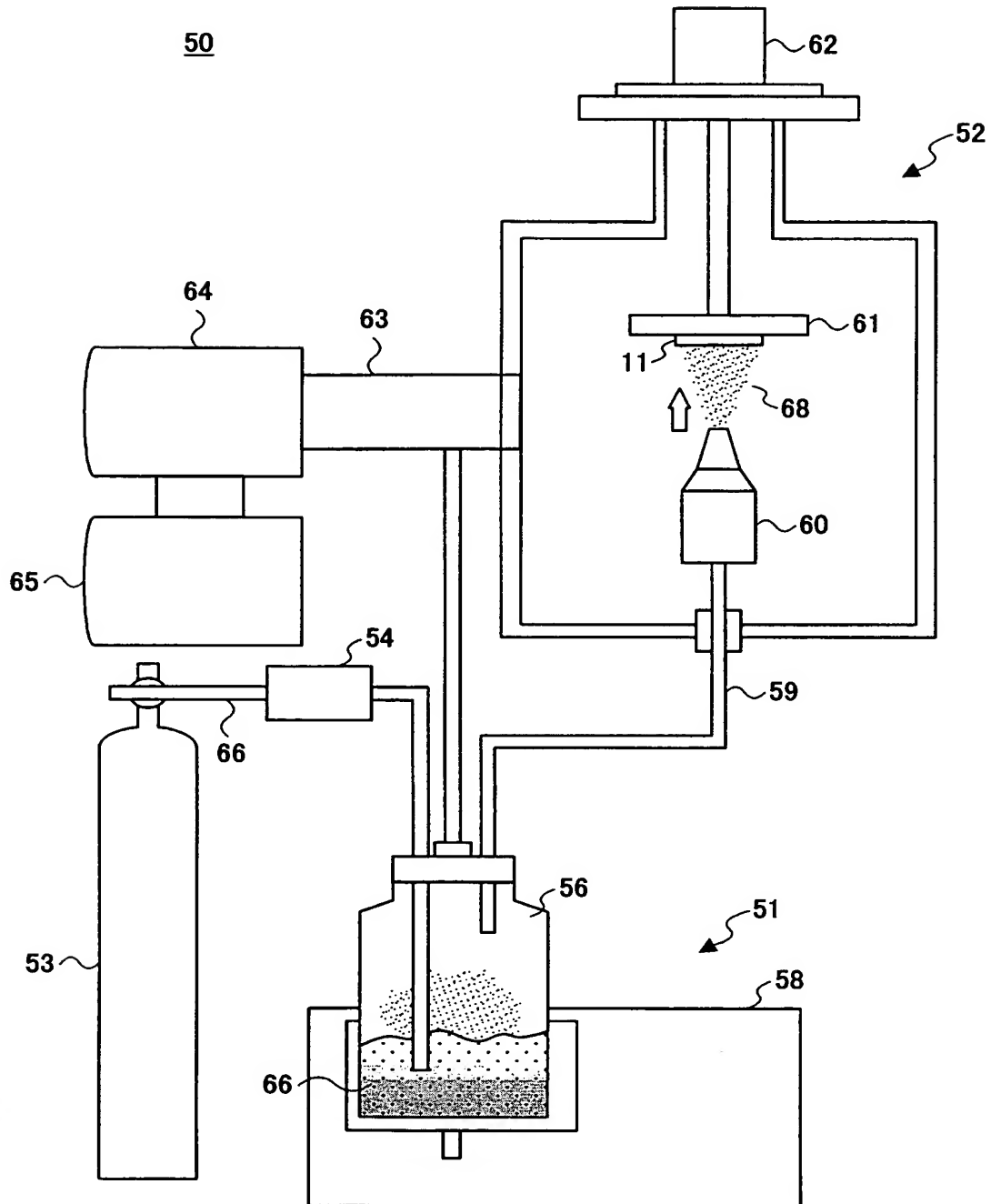
【図 1】

本発明の第1の実施の形態に係る回路基板の要部断面図



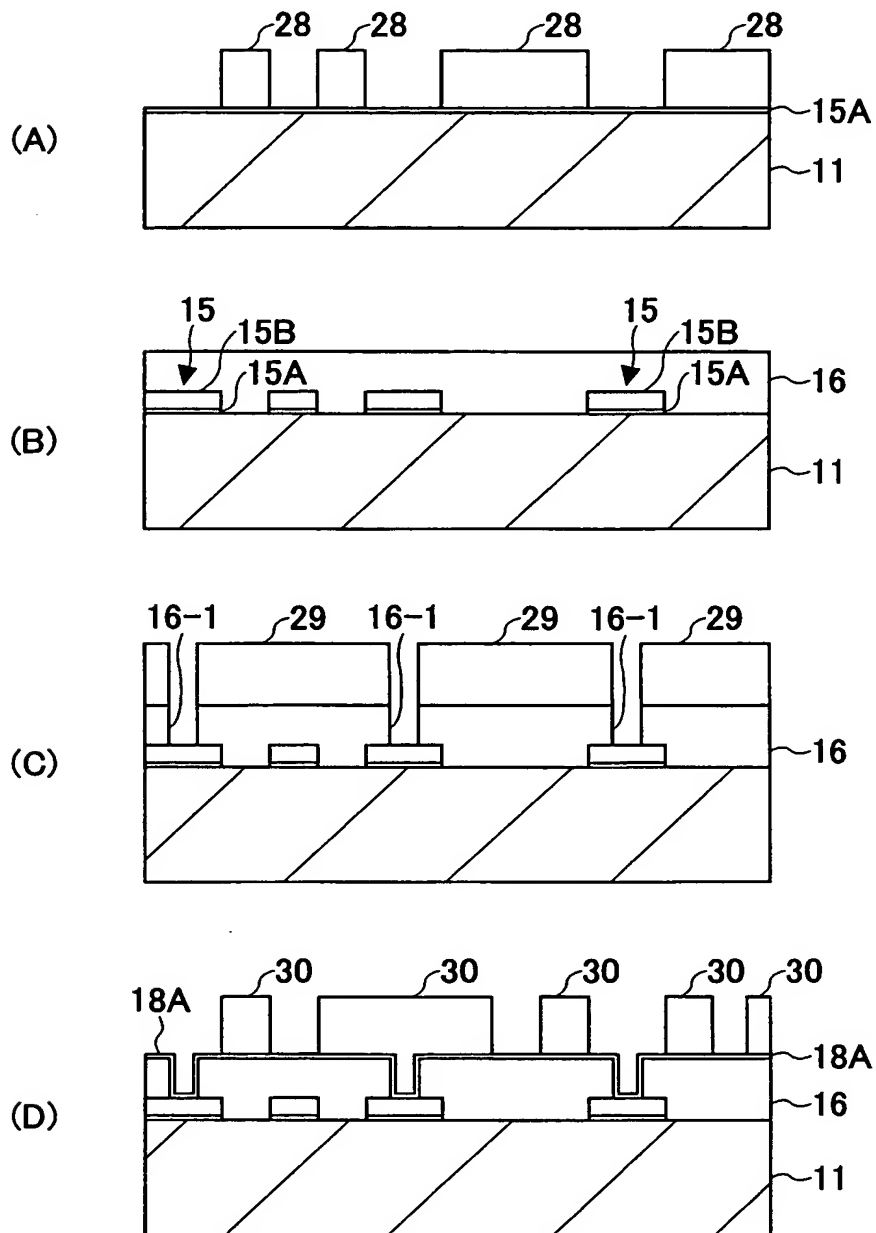
【図 2】

本発明に使用する A D 成膜装置の概略構成図



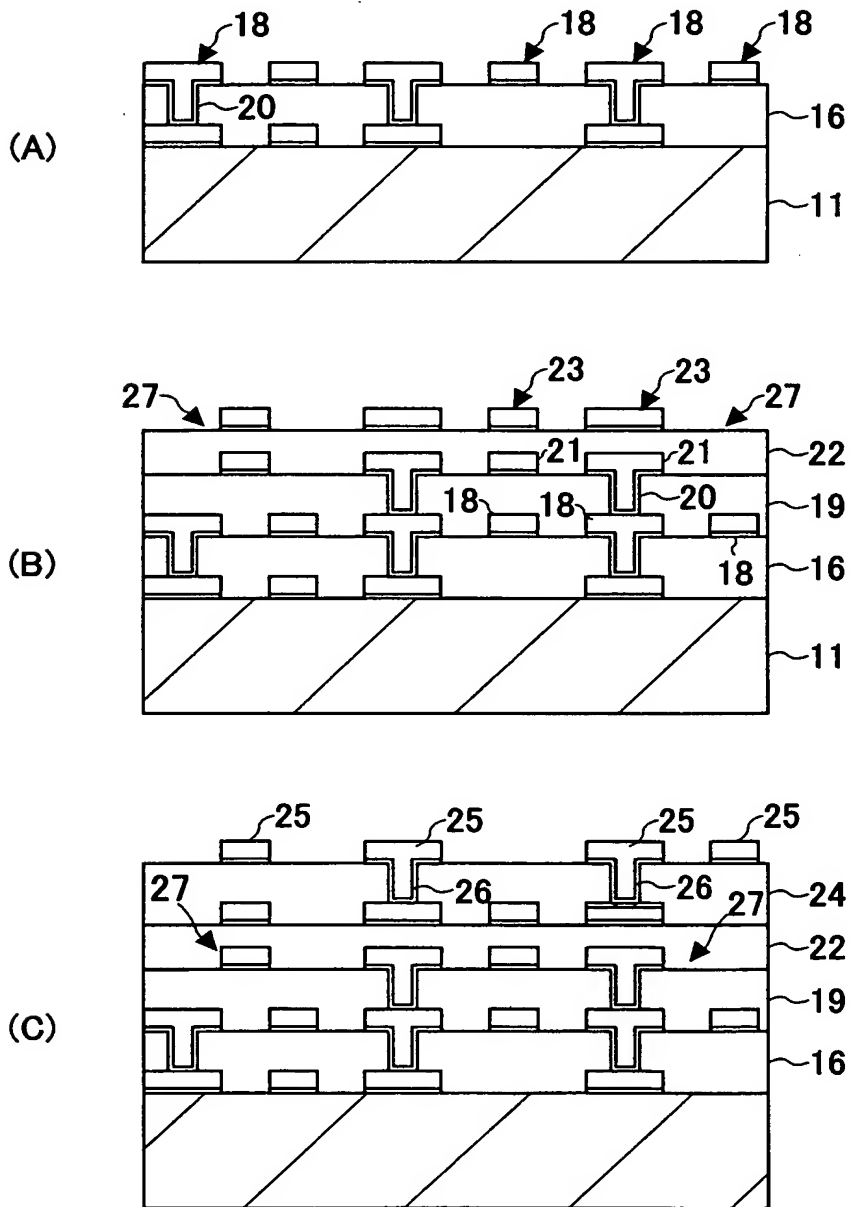
【図 3】

(A)～(D)は、本実施の形態に係る回路基板の
製造工程(その1)を示す図



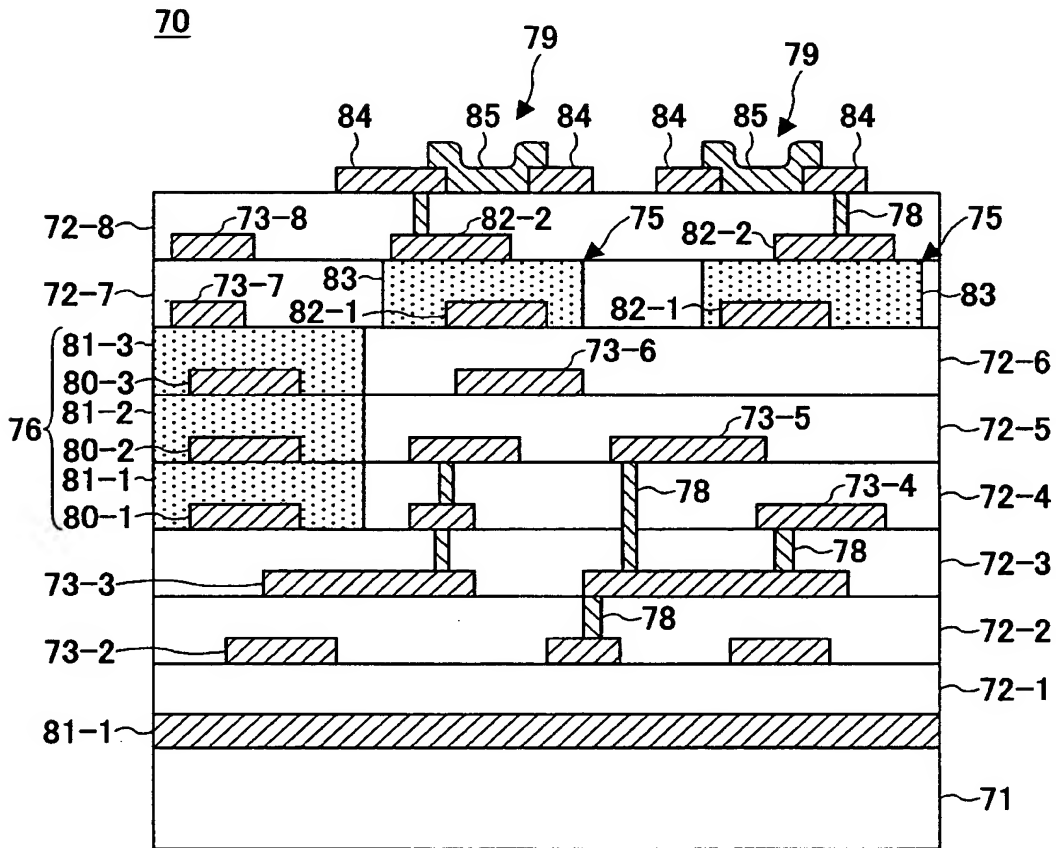
【図 4】

(A)～(C)は、本実施の形態に係る回路基板の
製造工程(その2)を示す図



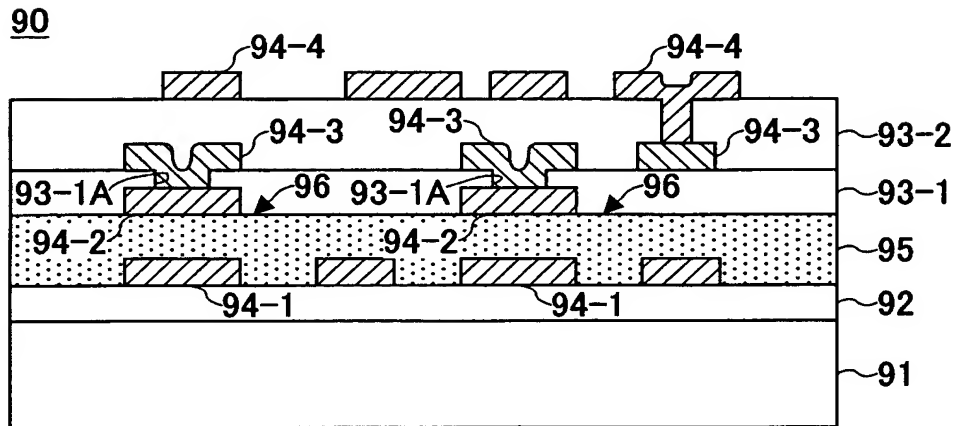
【図 5】

本発明の実施例1に係る回路基板の概略構成を示す断面図



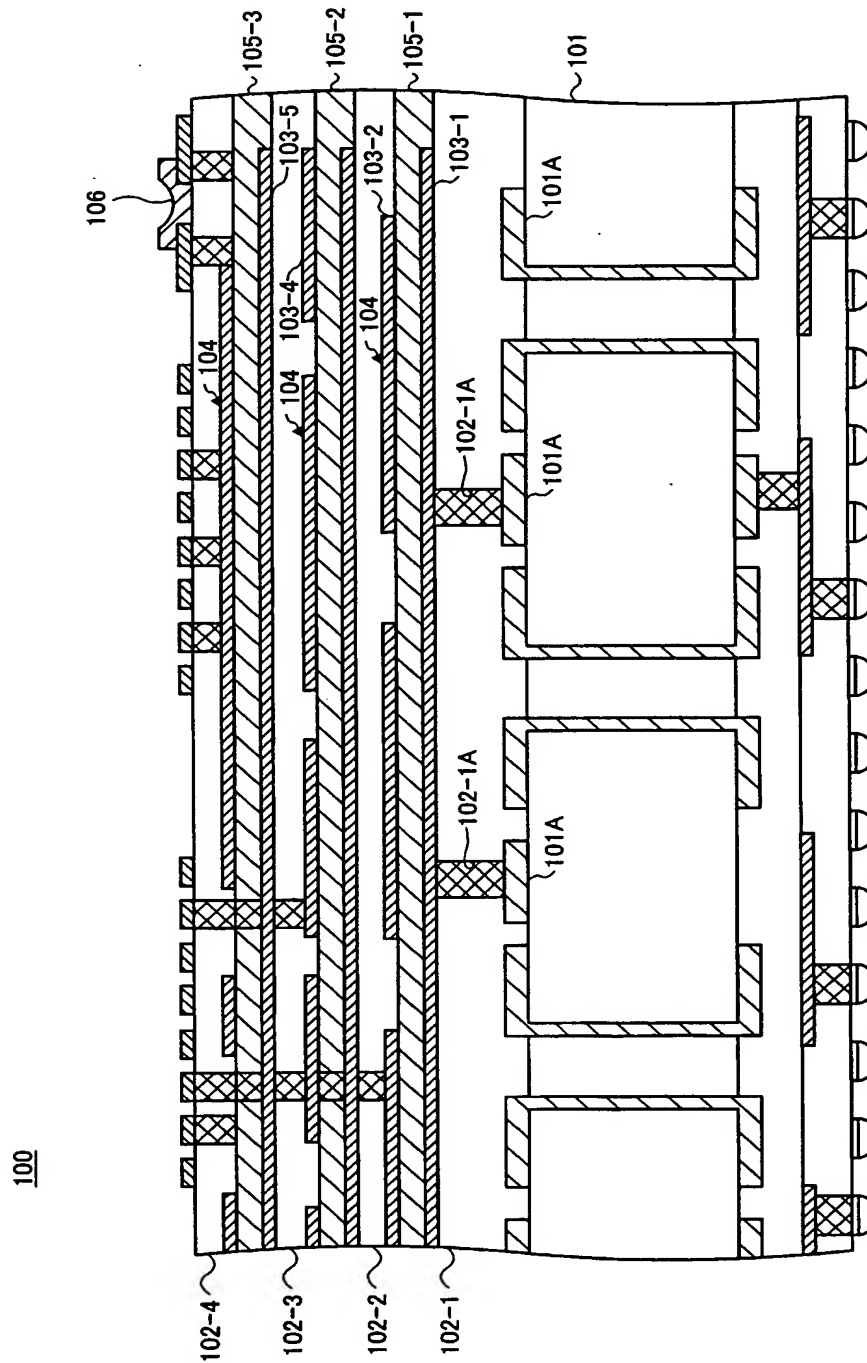
【図 6】

本発明によらない比較例1に係る回路基板の
概略構成を示す断面図



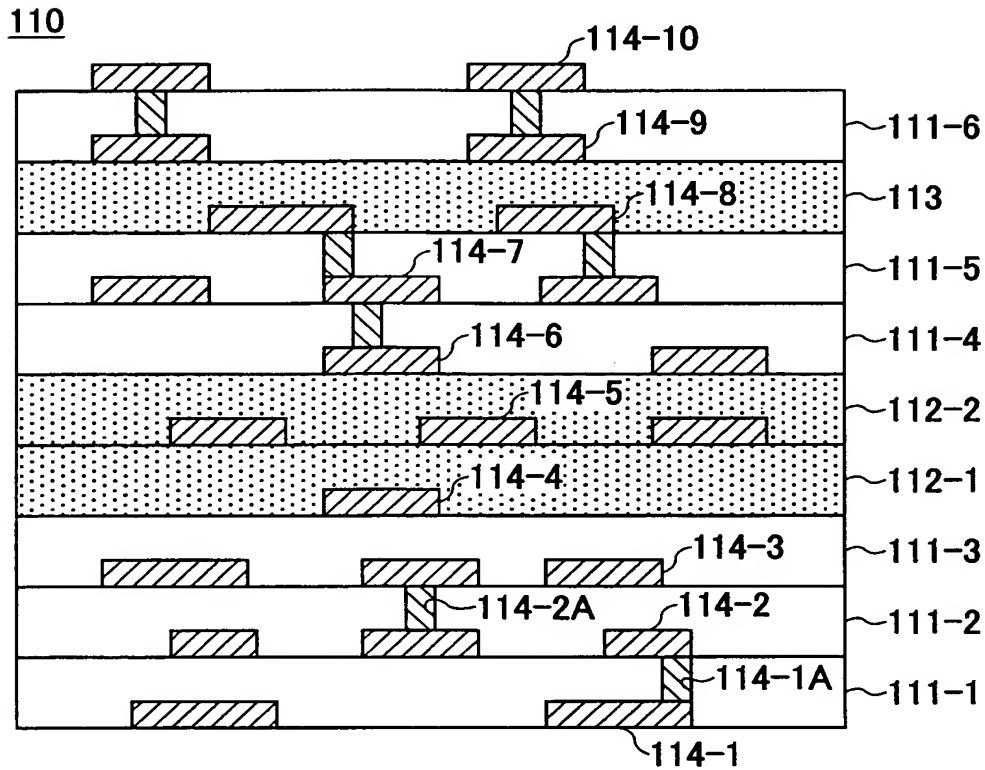
【図 7】

本発明によらない比較例 2 に係る回路基板の概略構成を示す断面図



【図 8】

本発明によらない比較例3に係る回路基板の
概略構成を示す断面図



【図 9】

実施例及び比較例に係る回路基板に形成された
層間絶縁層及び導電体膜の特性を示す図

	層間絶縁膜			導電体膜		高周波損失 相対比
	材料	表面処理	平均粒径 (μm)	誘電損失	材料 比抵抗 ($\mu\Omega\cdot\text{cm}$)	
実施例1	MgO	Al_2O_3 膜	0.25	0.0003	Cuめっき膜 2	0.6
実施例2	ムライト	Al_2O_3 膜	0.8	0.0004	Cuめっき膜 2	0.6
実施例3	$\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$	アルミニウム イソプロポキシド	0.8	0.00025	Cuめっき膜 2	0.6
実施例4	AlN	アルミニウム イソプロポキシド	1.0	0.0005	Cuめっき膜 2	0.7
比較例1	ポリイミド樹脂	—	—	0.0025	Cuスパッタ膜 5	0.8
比較例2	ガラスエポキシ樹脂	—	—	0.0125	Cuめっき膜 2	1
比較例3	ガラス・アルミナ系LTCC	—	—	0.001~0.003	CuAg厚膜 8	0.8

【図 10】

実施例及び比較例に係る回路基板に形成された
フィルタ用の誘電体層の特性を示す図

	材料	表面処理	平均粒径 (μm)	比誘電率 (2GHz)	誘電損失
実施例 1	$\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$	Al_2O_3 膜	0.25	20	0.00025
実施例 2	BaTi_4O_9	Al_2O_3 膜	0.1	25	0.0003
比較例 3	$\text{Ba}(\text{Mg}_{1/3}\text{Ta}_{2/3})\text{O}_3$ — ガラス複合体	—	—	15	0.00125

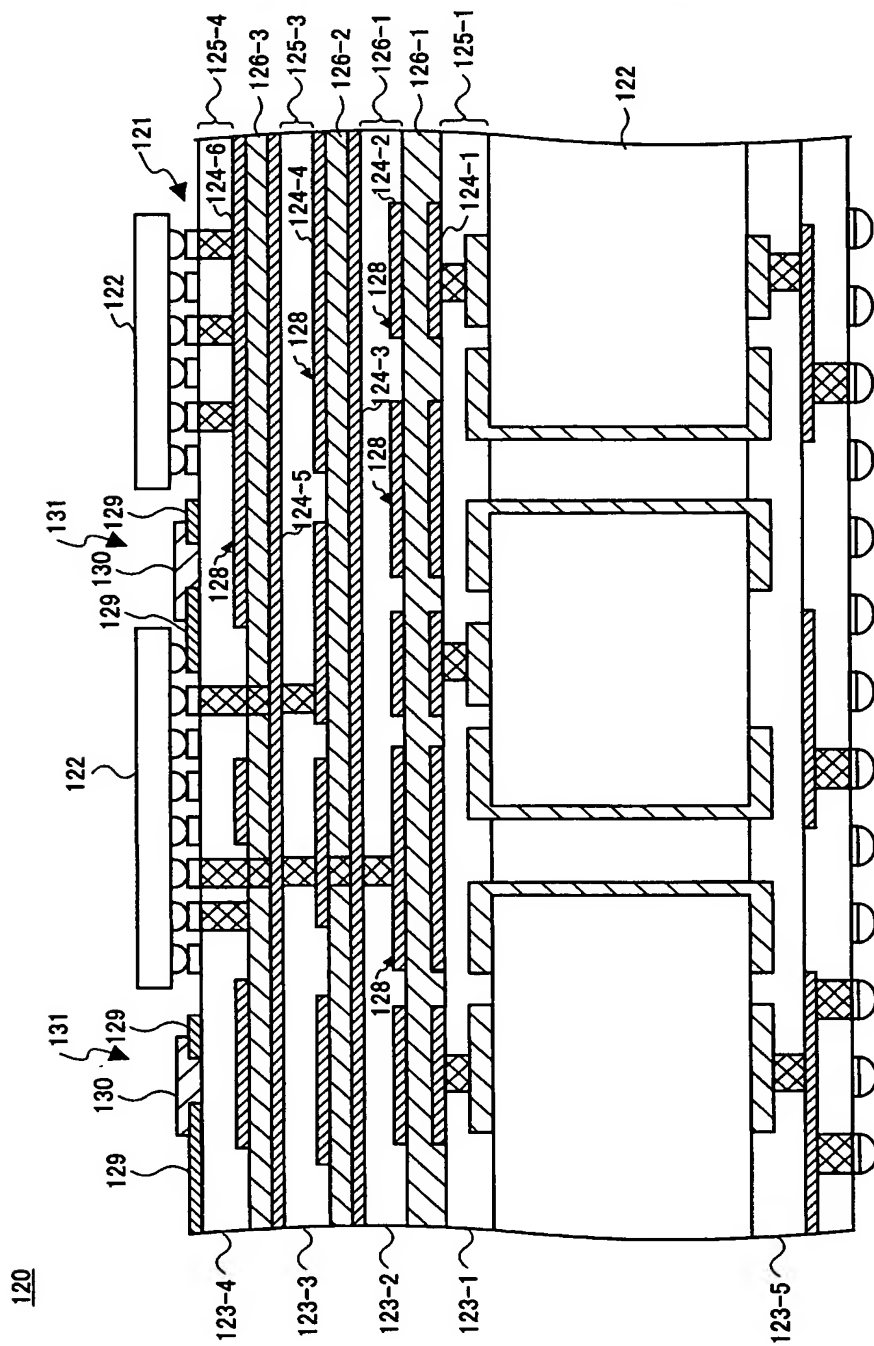
【図 1 1】

実施例及び比較例に係る回路基板に形成された
キャパシタ用の誘電体層の特性を示す図

	材料	表面処理	平均粒径 (μm)	比誘電率 (2GHz)	静電容量密度 ($\mu\text{F}/\text{cm}^2$)	基板大きさ 相対比
実施例1	BaTiO ₃	Al ₂ O ₃ 膜	0.5	800	10	0.3
実施例2	BaSrTiO ₃	Al ₂ O ₃ 膜	0.1	2000	20	0.3
比較例1	BaSrTiO ₃ -ス/バタ膜	-	-	300	5	0.6
比較例2	BaTiO ₃ -エポキシ複合体膜	-	-	50	1	1
比較例3	CaZrO ₃ -ガラス複合体	-	-	200	10	0.8

【図 12】

本発明の第 2 の実施の形態に係る電子装置の概略断面図



【書類名】 要約書

【要約】

【課題】 高周波領域において低比抵抗及び低誘電体損失を共に有する回路基板、受動部品、電子装置、及び回路基板の製造方法を提供する。

【解決手段】 回路基板 10 は、ベース基板 11 と、ベース基板 11 上に下部配線層 12、キャパシタ層 13、上部配線層 14 が順次積層されて構成され、前記下部配線層 12 は、エアロデポジション法によりセラミックス微粒子材料により形成された第 1 層間絶縁層 16 と、電解めっき法等により形成された Cu 膜の第 1 導電体層 15 などから構成されている。

【選択図】 図 1

特願 2 0 0 3 - 1 7 0 4 7 5

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社

特願 2 0 0 3 - 1 7 0 4 7 5

出 願 人 履 歴 情 報

識別番号

[3 0 1 0 2 1 5 3 3]

1 . 変更年月日
[変更理由]

2 0 0 1 年 4 月 2 日
新規登録

住 所
氏 名

東京都千代田区霞が関 1 - 3 - 1
独立行政法人産業技術総合研究所